

14-bit 200MS/s 数字自校准电流舵式 D/A 转换器

戴 澜, 张 扬, 孙海燕

(北方工业大学 电子信息工程学院微电子系, 北京 100144)

摘 要: 采用一种新型数字校准算法, 改变了传统方法对电流源单元总是从最低位地址选取的方法, 通过对电流源单元选取起点和终点的计算和存储, 对电流源单元采用“选取方向随机”和特殊代码全随机选取的办法, 将电流源的失配转换为白噪声并有效提高了 DAC 的动态性能. 在采用 SMIC18 1P6M 工艺的情况下获得的后仿真结果表明, 相对于不加校准的设计, SFDR 从 88.3 dB 提高到 92.3 dB, 而总体芯片面积不变.

关键词: 电流舵 D/A; 数字自校准; SFDR

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2017)04-0094-04

14 Bits 200MSPS Digital Self-Calibration Current-Steering D/A Converter

DAI Lan, ZHANG Yang, SUN Hai-yan

(Department of Microelectronic, College of Electronics Information,
North China University of Technology, Beijing 100144, China)

Abstract: In this paper it adopted a novel a digital calibration algorithm, and it selects the current sources with random ways which keeps to the principles of random selection direction and full random selection on the situation of special code through calculating and storing the starting and finishing point, by this way it can whiten the mismatch noise and improve dynamic performance of DAC. Based on SMIC18 1P6M technology, a 14 bits 200MSPS digital self-calibration current-Steering DAC is implemented and its post simulation results show the SFDR is improved from 88.3 dB to 92.3 dB with calibration but the area of this chip is similar to the non-calibration one.

Key words: digital to analog converter (DAC); digital self-calibration; spurious-free dynamic range (SFDR)

1 引言

随着半导体技术的不断发展,越来越多的数字技术进入了我们的生活,而作为数字与模拟世界桥梁的数据转换器也越发重要. 电流舵 DAC 以其优秀的性能而广受设计者的欢迎. 但对于 CMOS 工艺来说,电流源 MOS 管匹配误差的限制使得完全靠 DAC 自身的匹配,数字模拟转换器的分辨率很难达到 14 位. 所以,高分辨率的 DAC 中都会引入自校准的方式来提高 DAC 的动态性能. 通过增设比较器将输出电流源单元和标准电流源进行比较进而反馈调整电流源大小^[1];或者通过预设小数电流源阵列,通过电路控制并联到电流源单元中小数值电

源的数目是模拟校准的两种主要方式,然而校准效果对模拟电路依靠较大^[2]. 对于数字校准:“输出归零”技术能很好地降低谐波失真,但输出功率减半^[3];通过计算电路中电流源电流的失配,然后确定合适的开关次序属于后台校准,但是该校准方法干扰了正常工作过程^[4];对电流源单元进行轮流选取的办法,对失配有较好效果,但该方法会引起电流源与开关阵列开启与关断动作次数过多而产生毛刺,对整体性能影响大^[5].

本文采用了一种动态选取的数字自校准的方式,对高 5 位的温度计码电流源单元进行随机的选通,从而将各个电流源的失配转换为白噪声,进而提高 DAC 的 SFDR.

2 DAC 电路结构实现

该 14 bit 200MSPS 的电流舵 DAC 设计中采用输入的数字信号控制权电流的输出来实现数字信号到模拟电流的转换. 如图 1 所示, 输入信号经过寄存器同步处理后, 低 5 位采用二进制编码方式, 进行延时; 中 4 位采用温度计码译码方式, 进行译码处理; 对高 5 位选择序列进行校准处理. 然后通过延时单元和逻辑选择单元进入开关驱动模块, 从而控制电流源开关的选通, 电流源的偏置电压由带隙基准电路和运算放大器所构成的偏置电路提供. 输出选用差分输出的方式, 负载为 $25\ \Omega$ 电阻, 满幅输出为 20 mA, 其中最低位电流即 1 LSB 电流为

$$i_0 = \frac{20\ \text{mA}}{2^0 + 2^1 + 2^2 + \dots + 2^{13}} \approx 1.22\ \mu\text{A} \quad (1)$$

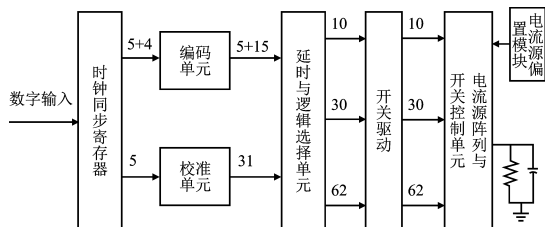


图 1 电流舵 DAC 架构框图

3 校准算法的提出

3.1 电流舵 DAC 的自校准算法原理

由于低位电流源的输出电流只是高位电流源的输出电流的近千分之一, 本文采用动态选取的方式来对高 5 位电流源选择方式进行校准, 将电流源产生的失配转化为白噪声, 以提高 DAC 的动态特性. 由于开关动作次数多, 传统的二进制选通方式被温度计码选通方式所替代; 而温度计码选通时会出现低位一直在工作状态, 而高位很少出现工作状态, 出现重复选通的情况; 如果是低位电流源出现失配, 那么该失配一直会出现在输出中, 现采用一种动态元件匹配的方式, 在不增加开关动作的情况下使低位电流源不会出现重复选通的状态.

校准算法原理如下所示.

(1) 在传统的基础上增加一个随机数产生器, 当随机数 $R=0$ 的时候向下选择, 当随机数 $R=1$ 的时候向上选择; 初始选择位置为 u_1 , 此时 $R=1$, 向下选择 4 个; 输入由 4 变为 3, $R=1$ 选择初始位置不变仍为 u_1 , 选择 3 个; 即: 当 $R=1$ 时, 由初始选择位置 regA-Input 得到选择终止位置 regB , 若得到

regB 为负, 那么再由 u_7 减去 regB 的绝对值所得位置即为这次选择的终止位置. 当 $R=0$ 时由初始位置往下选择, 此时输入由 3 变为 5, 上一个周期的 $\text{RegA}=u_4$, $\text{RegB}=u_2$, 此时 $R=0$, 由 u_2 开始向下选择 5 个; 每次选择之后都会将选择初始位置 RegA 和终止位置 RegB 寄存一次, 留作下次选择用.

(2) 当输入全为 0 或者全为 1 时, 初始选择位置 RegA 为随机数产生器随机生成, 然后根据输入进行选择.

(3) 为说明校准算法, 输入的数字量依次位 4, 3, 5, 7, 6, 0, 2. 选择的初始位置都为 0, 即 u_1 . 输入为 4, $R=0$ 时, 初始位置 $\text{RegA}=\text{RegB}=u_1$, 向下选 4 个, 此时 $\text{RegA}=u_1$, $\text{RegB}=u_4$, 即 $\{u_1, u_2, u_3, u_4\}$; 第二个输入为 3 时, 随机数 $R=1$, 将 RegB 的值赋给 RegA , 此时 $\text{regA}=u_4$, 向上选择 3 个 $\{u_4, u_3, u_2\}$; 所选择的结果依次位为 $\{u_2, u_3, u_4, u_5\}$, $\{u_6, u_5, u_4, u_3, u_2, u_1, u_7\}$, $\{u_7, u_1, u_2, u_3, u_4, u_5\}$, $\{\}$, $\{u_6, u_5\}$; 所采用的算法与传统温度计码对比如图 2 所示.

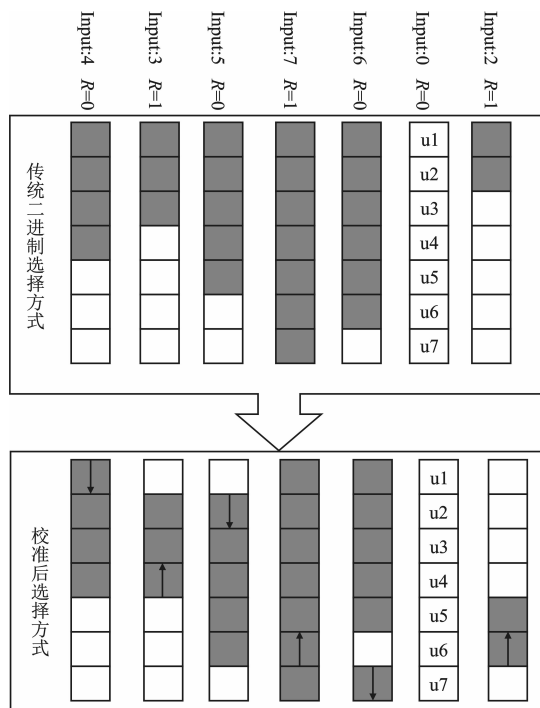


图 2 校准算法图

3.2 校准算法的实现

本文根据上述算法对高 5 位进行校准, 即信号输入为 5bit 二进制码, 校准后得到的为 31 位温度计码. 该算法实现过程如图 3 所示, 利用二进制转温度计码译码器、加法器、减法器、桶形移位寄存器和其他控制逻辑. 译码器将二进制码转换成温度计码, 通过桶形移位寄存器来移位, 产生所要得到的电流源选择序列; 产

生随机数 R , Add/Sub 与输入序列 $x(n)$ 获得起始和终止选择位 $regA$ 和 $RegB$, 与 MUX 共同构成交换的算法, 电流源选通序列为校准后得到的选择序列。

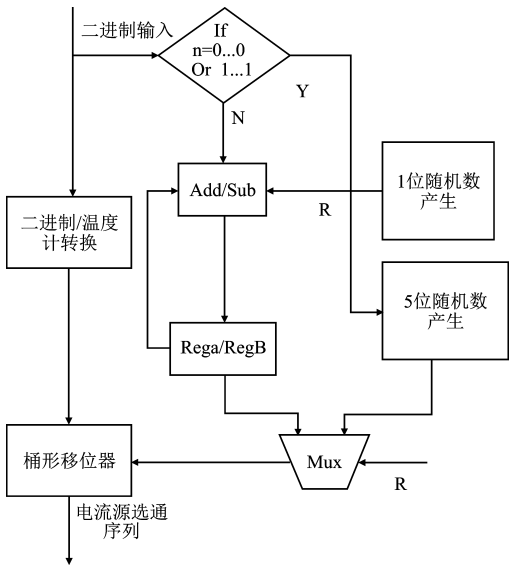


图 3 校准实现流程

实现过程如下所示。

(1) 输入 $X(n)$ 为全 0 或者全 1 时, 会产生一个随机的数作为本次选择的初始选择位和结束选择位, 即 $RegA$ 和 $RegB$, 因为输出为全选或者全不选, $RegA$ 和 $RegB$ 在此次选择中并没有什么作用只是为下次的选择做好准备;

(2) 当输入 $x(n)$ 不是全零和全 1 时, 随机序列产生器产生一个数 R (值为 0 或 1), 来控制 $x(n)$ 加 (或者减) $RegA$ (或者 $RegB$) 产生新的 $RegA$ 和 $RegB$, 通过 MUX 处理后进入桶形移位寄存器对温度计码进行移位处理, 最终完成校准过程。

4 校准算法的物理实现与整体仿真结果分析

利用 Verilog 对算法进行实现并验证仿真, 利用 Cadence-AMS 数模混合仿真工具完成整体电路的整体优化, 并基于 smic18 1P6M 工艺的标准数字单元库, 利用后端工具 (ICC) 对校准算法进行物理实现, 其中数字自校准模块面积为 $0.23\text{ mm} \times 0.13\text{ mm}$, 为原有编码模块面积的 2 倍。

芯片整体版图如图 4 所示。整个版图采用双电源供电, 其中数字部分采用 1.8 V, 模拟部分采用 3.3 V 分别供电, 以获得低功耗和高输出摆幅, 核心芯片面积为 0.54 mm^2 。整体版图的右下角标出部分为数字自校准模块, 仅仅占整体面积的 5.34%。整体版图核心面积为 $0.79\text{ mm} \times 0.68\text{ mm}$ (加上 PAD

后版图整体面积为 $1.22\text{ mm} \times 1.18\text{ mm}$)。图 5 为校准前后的后仿结果的 FFT 频谱分析图, 其采样频率为 200 MHz, 输入信号为 1 MHz, 负载为 $25\text{ }\Omega$ 电阻。我们可以明显地看到校准前谐波的能量还是很高, 校准后高次谐波被降至白噪声谱同样高度, 低次谐波也有所下降, DAC 的动态性能有所提升, SFDR 达到 92.3 dB, 提高了 4 dB。

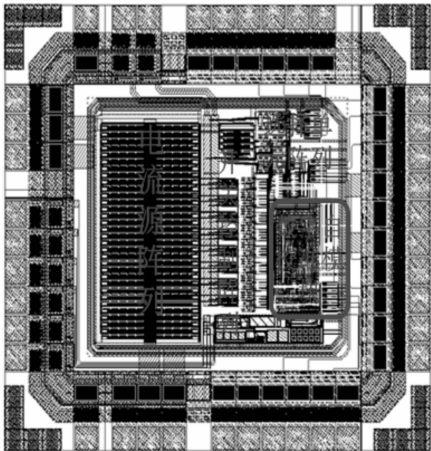
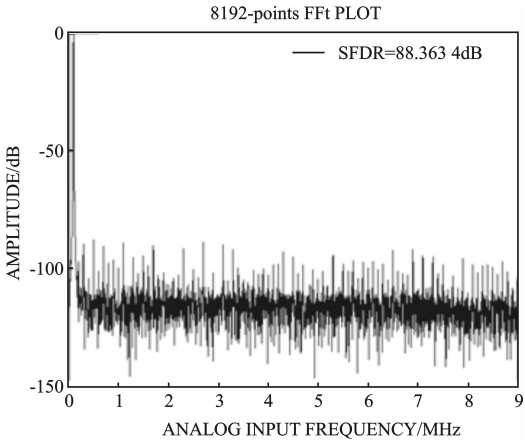
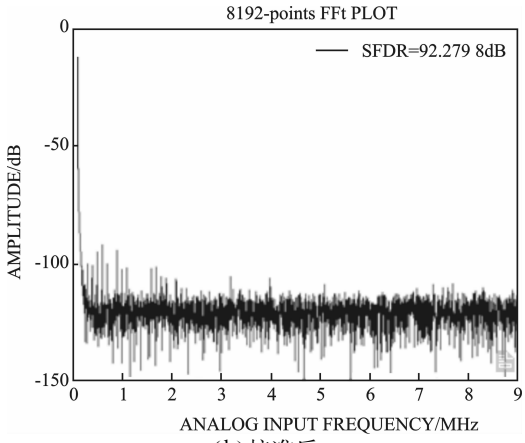


图 4 整体版图布局



(a) 校准前



(b) 校准后

图 5 FFT 频谱分析图

与设计参数近似的文献结果进行对比如表 1 所示,从对比结果可以看出,本文性能明显优于没采用校准技术的文献[6],也优于采用不同数字校准技术的文献[3,7],当然,客观地说,考虑到后者为测试校准,实际性能差距可能要小,但也从另一个侧面说明本校准算法的有效性.

表 1 性能参数比较				
参数	本文	文献[6]	文献[3]	文献[7]
工艺/ μm	0.18	0.25	0.13	0.13
精度/bits	14	14	14	14
SFDR/dB	92.3	85.4	84.8	70
备注	后仿真	前仿	流片	流片

5 结束语

本文采用一种新型动态选取数字自校准的方式对电流舵 DAC 的高 5 位进行校准,并利用 ICC 数字后端工具,基于 SMIC 0.18 μm CMOS 1P6M 工艺的标准数字单元库对校准模块进行物理实现.通过调整布局数字校准模块的使用并没有增大整体版图面积,校准模块面积仅为原有编码模块的 2 倍,但有效地提高了电流舵 DAC 的动态性能,降低高次谐波,提高 SFDR 4 dB.

参考文献:

[1] Shen M H, Tsai J H, Huang P C. Random swapping dynamic element matching technique for glitch energy minimization in current-steering DAC[J]. Circuits & Systems II Express Briefs IEEE Transactions on, 2010,57(5):369-373.

[2] Tseng Wei-Hsin, Fan Chi-Wei,Wu Jieh-Tsorng. A 12b

1. 25GS/s DAC in 90nm CMOS with >70 dB SFDR up to 500 MHz[J]. J. Solid-State Circuits, 2011, 46, (12):2845-2856.

[3] Li X, Wei Q, Xu Z, et al. A 14 bit 500 MS/s CMOS DAC using complementary switched current sources and time-relaxed interleaving DRRZ[J]. Circuits & Systems I Regular Papers IEEE Transactions on, 2014, 61(8):2337-2347.

[4] Tao Zeng, Townsend K, Duan Jingbo, et al. A 15-bit binary-weighted current-steering DAC with ordered element matching[C]// IEEE Custom Integrated Circuits Conference, IEEE,2013:1-4.

[5] Zhao Jincheng , Wu Xiaobo , Zhao Menglian. A digital front-end of 16-bit audio delta-sigma DAC with improved CSE method and novel DWA[C]// IEEE International on New Circuits and Systems Conference (NEWCAS). IEEE, 2012 :273-276.

[6] 王向展, 宁 宁, 徐振涛,等. 一种 14 位 400 MS/s 分段型电流舵 DAC 的设计[J]. 微电子学,2011,41(2): 199-202.

[7] Xu Zhen, Li Xueqing, Liu Jiannan, et al. A 14-bit 500-MS/s DAC with digital background calibration[J]. Journal of Semiconductors, 2014, 35 (3): 035008. 1-035008. 6.

作者简介:

戴 澜 男,(1975-),副教授.研究方向为大规模集成电路. E-mail:1275495989@qq.com.

张 扬 男,(1989-),硕士.研究方向为数模转换器设计.

孙海燕 女,(1980-),讲师.研究方向为大规模集成电路设计.